

*Master E3A (Electronique, Energie Electrique, Automatique)*

# M2 SETI

*Systèmes Embarqués & Traitement de l'Information*

Guide pour candidature à l'université Paris-Saclay

université  
PARIS-SACLAY



**instn**  
Institut National des Sciences  
et Techniques Nucléaires



**INSTITUT  
POLYTECHNIQUE  
DE PARIS**

L'université Paris-Saclay a subi le 11 août 2024 une cyber-attaque qui a mis hors service l'ensemble de ses services numériques.

Elle fonctionne en mode dégradée. Les liens présents dans ce document ne fonctionnent plus.

Merci de votre compréhension.

## 1 M2 SETI

### 2 Semestre 1 = 12 UEs

- A - Architecture
- B - Logiciels & Systèmes
- C - Intelligence embarquée
- Formation générale & Projet

### 3 Semestre 2 = stage

### 4 Candidature

## Définition des systèmes embarqués

Système électronique et informatique autonome, souvent temps réel, spécialisé dans une tâche précise.

*source wikipedia*

## Conception fortement contrainte

### Maximiser

- Réactivité
- Fiabilité
- Sécurité
- Autonomie
- Pérennité

### Minimiser

- Encombrement
- Coût
- Temps de développement
- Impact environnemental

## Domaines d'applications

- **Transports** : automobile, ferroviaire, aéronautique. . .
- **Télécommunications** : *smartphone*, décodeur TV, routeur. . .
- **Environnements intelligents** : domotique, bâtiments intelligents, *smartcity*. . .
- **Aérospatial** : satellites, fusées. . .
- **Militaire** : radar, missiles, drones. . .
- **Santé** : imagerie médicale, e-santé. . .
- **Usines** : automates, systèmes de surveillance, usines 4.0. . .
- **Nucléaire** . . .

## Objectif du M2 SETI

Former des étudiants à même de s'insérer dans des projets de **recherche** et/ou **développement** pour la conception de **systèmes embarqués innovants**.

## Une discipline à **plusieurs facettes**

- **Architecture**  
Puissance de calcul, accès rapide aux données, basse consommation
- **Logiciels & systèmes**  
Temps réel, fiabilité, sécurité, spécification, validation...
- **Informatique embarquée**  
Programmation, communication avec capteurs/actionneurs ...
- **Applications**  
IA, Traitement du signal et des images, Robotique, Automatique...

## Trois institutions partenaires



## Diversité des enseignants/chercheurs SETI

UPSay UFR Sciences (E3A, informatique), Polytech et IUT Orsay

IPP Télécom Paris et ENSTA

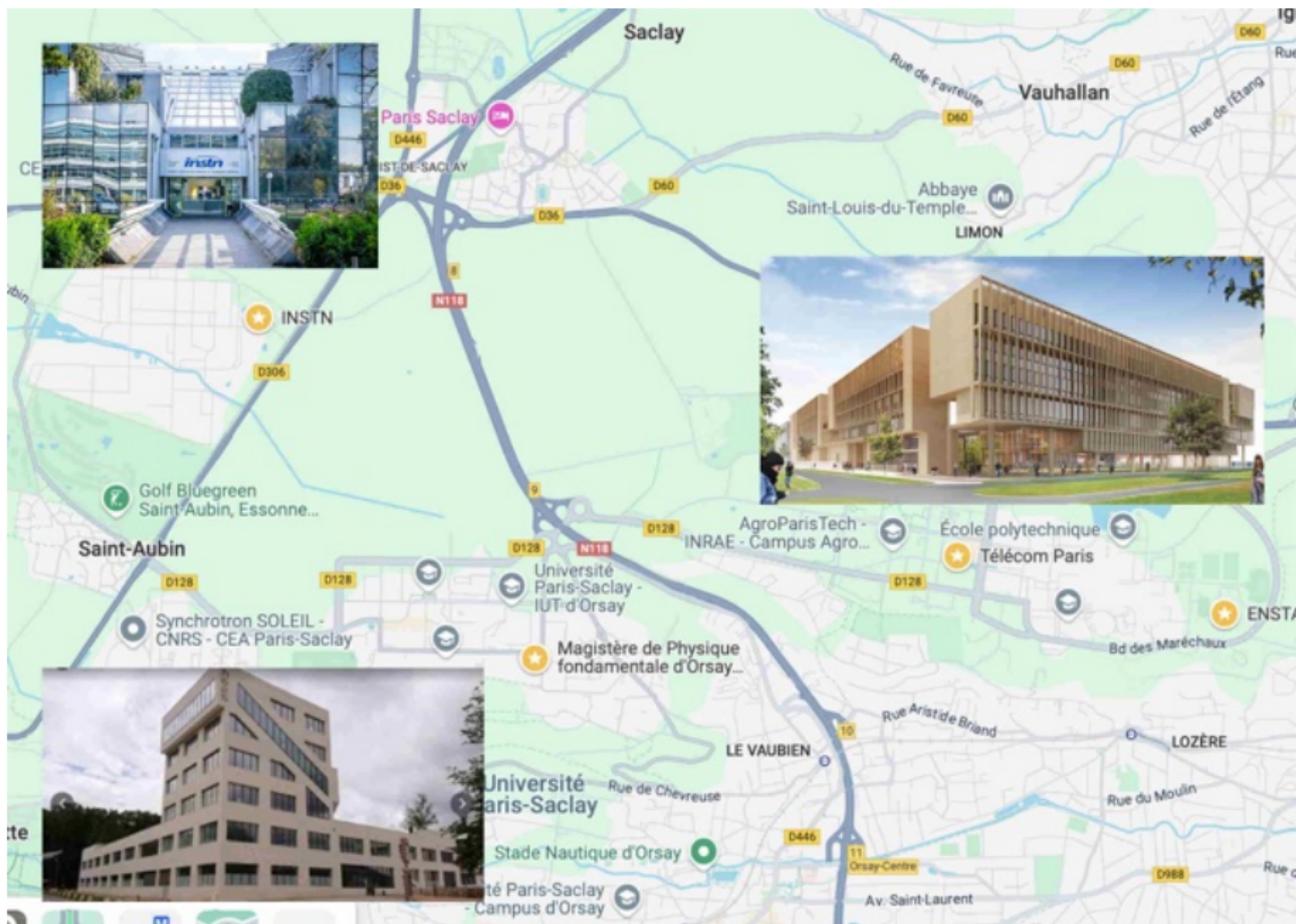
CEA INSTN et CEA-List

## Diversité de la formation d'origine des étudiants SETI

UPSay M1 E3A, ENS, Polytech...

IPP Télécom Paris, ENSTA, Télécom SudParis, IPP PhD Track...

\* M1 ou école d'ingénieur en France ou à l'étranger



# Responsables M2 SETI

## Responsables UPSay

*Etablissement référent pour Etudiants UPSay*

Nicolas Gac

UPSay

Emanuel Aldea

UPSay

## Responsable IPP

*Etablissement référent pour Etudiants IPP*

Laurent Sauvage

Télécom Paris

## Responsable CEA INSTN

Asma Smaoui

CEA-List

## Correspondant IPP pour l'ENSTA

Omar Hammami

ENSTA

# 60 ECTS

Semestre 1 = 12 UEs de 3 ECTS

36 ECTS

*UE = Unités d'Enseignements*

*3 ECTS = ~30h présentiel + ~60h travail personnel*

- 10 UEs de spécialités (3 en tronc commun + 7 options parmi 15)

A Architecture

B Logiciels & Systèmes

C Intelligence embarquée

- 1 UE de formation générale
- 1 UE projet

Semestre 2 = Stage

24 ECTS

- Stage de 4 à 6 mois

## Master validé

si toutes les UEs sont validées pour chacun des semestres

ou

si moy. du semestre  $\geq 10.0$  et UEs non validées compensables (note  $\geq 7.0$ )  
à l'exception du stage qui est non compensable (note  $\geq 10.0$ )

**Pas de redoublement en M2** (sauf cas particulier)

Règlement des études de l'université Paris-Saclay

<https://www.universite-paris-saclay.fr/reglement-des-etudes>

## Modalités de Contrôle des Connaissances et de Compétences (MC2C)

- Définition de la pondération des **Epreuves d'Évaluations (EE)** des UEs  
*Exemple : 70% Examen final + 30% CCTP*
- UE validée si  $> 10.0$

## Nature des Epreuves d'Évaluations (EE)

- **Contrôle Continu (CC)** partiel ou total : CR de TP, tests de connaissance en séance, projet. . .

et/ou

- **Epreuve Terminale (ET)** : examen sur table, présentation d'article ou soutenance.

Emploi du temps : <https://nextcloud.centralesupelec.fr/s/y2oSoJQTGQ4D9RR>

## TRIMESTRE 1

	Lundi	Mardi	Mercredi	Jeudi	Vendredi
Matin	B2	C0	A1	A0	C1
Après-midi	Anglais	B0	B1		IDG / IR

## TRIMESTRE 2

	Lundi	Mardi	Mercredi	Jeudi	Vendredi
Matin	Projet	A2	B5	A5	A3
Après-midi	A4	C4	C5	B4	IDG / IR

## Campus Paris-Saclay

Bât. 625 (Dept. physique) / Eiffel (CentraleSupélec) / Bât. 620 (Polytech) / Bât. 660 (Digiteo) / Bât. 336 (Orsay)

## CEA INSTN

Salles indiquées par les enseignants de l'UE ou sur l'écran à l'accueil de l'INSTN

## Campus Palaiseau (Télécom Paris)

Salles indiquées par les enseignants de l'UE

## Deux premières semaines en septembre

## Remise à Niveau (RaN)

- RaN Programmation C++ - 14h TP
- RaN VHDL - 8h CM/6h TP
- RaN Traitement du signal - 9h CM/ 7h TP
- RaN Architecture des processeurs - 2h CM

*E. Aldea, N. Lermé*  
*M. Zhang*  
*N. Lermé, N. El Korso*  
*N. Gac*

Lieu : Bât. 625 (Campus Saclay)

## T1 (fin septembre à fin novembre)

## 5 à 7 UEs

- 3 UEs de tronc commun : A0, B0 et C0
- 1 à 2 UEs de spécialité parmi A1, B1, B2 et C1
- Insertion professionnelle, Droit et Gestion de projets (IDG)
- Initiation à la Recherche (4 séances)

## T2 (début décembre à mi-mars)

## 5 à 7 UEs

- 4 à 6 UEs de spécialité parmi A2/B5, A3, A4/C4, A5, B3, B4/C5, C2 et C3
- Initiation à la Recherche (4 séances)
- Projet

## T3 et T4 (mi-mars à septembre)

## Stage

## Trois spécialités pour une formation pluridisciplinaire

**A**  
Architecture

**B**  
Logiciels & Systèmes

**C**  
Intelligence embarquée

## Tronc commun (3 UEs) avec une UE dans chaque spécialité

**A0\*** Architecture

**B0†** Temps réel/surête de fct.

**C0†** Apprentissage

## Options (7 UEs parmi 15) avec une spécialité principale

**A1\*** Fiabilité et Sécurité

**A2°** Syst. élec. embarqués

**A3\*** Co-design C/VHDL

**A4\*** Calcul parallèle

**A5\*** GPU

**B1\*** Système temps réel

**B2\*** Instrumentation/Interfaçage

**B3\*** Objects connectés

**B4\*** Embedded linux

**B5†** Modélisation systèmes

**C1\*** Vision robotique

**C2†** IA embarquée de confiance

**C3\*** IA pour la robotique

**C4\*** Fusion de données

**C5\*** Contrôle commande

**T1†** Data Flow Deterministe pour les systèmes cyber-physiques (CPS)

## Formation générale (1 UE parmi 2)

**IR\*,†** Initiation à la Recherche

**IDG\*** Insertion pro, Droit et Gestion de projets

## Projet (1 projet parmi ~15)

TER - Travaux d'Etudes et de Recherche

\* UPSay

† CEA

● Télécom Paris ○ ENSTA

## Affectation des 7 options

## 5 UEs socles + 2 UEs complémentaires

- 1 Choix d'une spécialité avec 5 UEs : A, B ou C  
ex : choix spécialité A  $\implies$  A1, A2, A3, A4, A5
- 2 Choix des 2 UEs complémentaires dans chacune des deux autres spécialités  
ex : choix possibles pour un étudiant de spécialité A  
 $\implies$  une UE B[1-5] + une UE C[1-5]

L'UE transverse T1 peut se substituer à n'importe quelle UE.

Attention certains choix d'UEs complémentaires sont incompatibles avec l'emploi du temps : A2/B5, A4/C4 et B4/C5.

## Capacités d'accueil des spécialités et des UEs

**A - Architecture embarquée** ~12

	capacité
<b>A0</b>	40
A1	32
A2	20
A3	18
A4	20
A5	24

**B - Informatique embarquée** ~12

	capacité
<b>B0</b>	40
B1	24
B2	24
B3	18
B4	20
B5	18

**C - Intelligence embarquée** ~12

	capacité
<b>C0</b>	40
C1	32
C2	20
C3	15
C4	20
C5	24

**Autres UEs**

	capacité
T1	20
IR	20
IDG	20

Ouverture d'une UE sous condition  
d'un minimum de 10 étudiants inscrits

1 M2 SETI

2 Semestre 1 = 12 UEs

- A - Architecture
- B - Logiciels & Systèmes
- C - Intelligence embarquée
- Formation générale & Projet

3 Semestre 2 = stage

4 Candidature

## Tronc commun

### A0 Architecture des processeurs

*N. Gac (UPSay)*

## Options

### A1 Fiabilité et sécurité des systèmes intégrés

*L. Sauvage (Tél. Paris), L. Naviner (Tél. Paris), M. Mushtaq (Tél. Paris), U. Khune (Tél. Paris)*

### A2 Systèmes électroniques embarqués

*O. Hammami (ENSTA), H. Le Provost (CEA-irfu)*

### A3 Processeurs embarqués et architectures spécialisées

*H. Mathias (UPSay)*

### A4 Architecture et programmation parallèles

*A. El Ouardi (UPSay), J. Falcou (UPSay)*

### A5 Calcul intensif sur GPU

*N. Gac (UPSay), M. Seznec (Nvidia)*

# A0 Architecture des processeurs

*Nicolas Gac (UPSay - resp. UE)*

Volume : 14h CM + 3,5h TD + 10,5h TP

Evaluation : 70% EE + 30% CR TP

Lieu : Bâtiment 625 (Campus de Saclay)

*Mutualisée avec le M2 QDCS (informatique)*

## Objectif d'apprentissage

Les cours permettent d'approfondir les concepts essentiels en architecture des processeurs ; les TPs portent sur l'optimisation logicielle, les processeurs pipeline et les mémoires caches.

## Contenu pédagogique

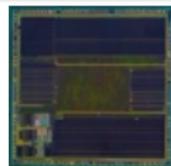
- Evolution technologique et impact sur les architectures des processeurs
- Evolution des jeux d'instructions
- Processeurs pipeline
- Parallélisme d'instruction et processeurs superscalaire
- Hiérarchie mémoire, caches
- Impact des architectures sur l'optimisation logicielle.

## Pré-requis

- Maîtrise d'un langage de prog. type C
- Connaissances en électronique numérique
- Notions en architecture des ordinateurs



*Intel 4004*  
[1971,  
10 $\mu$ m]



*STM32 ARM Cortex-M3*  
[2007, 130nm]



*Intel i9*  
[2022, Intel 7]

# A1 Fiabilité et sécurité des systèmes intégrés

*Laurent Sauvage (Tél. Paris - resp. UE), Lirida Naviner (Tél. Paris), Maria Mushtaq (Tél. Paris), Ulrich Kühne (Tél. Paris)*

Volume : 21h CM + 7h TP

Lieu : Télécom Paris (Campus de Palaiseau)

Evaluation : 100% EE

*Mutualisée avec la filière SE de Télécom Paris ?*

## Objectif d'apprentissage

- Comprendre les enjeux liés à la fiabilité et la sécurité des systèmes embarqués
- Connaître les attaques classiques contre les systèmes embarqués ainsi que les contre-mesures associées
- Connaître les indicateurs classiques de la fiabilité des systèmes embarqués et leurs méthodes d'estimation.
- Connaître les techniques classiques de durcissement des systèmes embarqués vis-à-vis des fautes.

# A1 Fiabilité et sécurité des systèmes intégrés

## Contenu pédagogique **Fiabilité**

- Méthodes d'estimation de la propagation de fautes dans les circuits numériques : principes et exemples de mise en œuvre
- Test en ligne : principes et exemples de mise en œuvre
- Techniques d'estimation en vue de la conception de circuits tolérants
- Méthodes de durcissement des circuits : principes et impact sur la conception

## Contenu pédagogique **Sécurité**

- Implémentation des algorithmes de cryptographie
- Analyses par canaux auxiliaires : principes, exploitation et contre-mesures
- Injection de fautes dans les circuits cryptographiques : techniques, exploitation et contre-mesures
- Protection des bus de communication d'un système embarqué.

# A2 Systèmes électroniques embarqués

*Omar Hammami (ENSTA- resp. UE), Hervé Le Provost (CEA-irfu)*

Volume : 7h CM + 21h Projet

Lieu : Bât. 625

Evaluation : 30% EE + 70% Projet (40% groupe + 60% individuel).

(Campus de Saclay)

## Objectif d'apprentissage

Le cours Systèmes Electroniques Embarqués traite des méthodes de conception, optimisation, implémentation et validation de systèmes sur puce (SOC - System on Chip) sous contraintes de performances, énergie et surface de circuit.

## Contenu pédagogique

- 1 Architectures multicoeur hétérogènes embarquées composées de réseaux sur puce (NOC - Network on Chip), architectures de processeurs embarqués hétérogènes et accélérateurs matériels
- 2 Méthodologies de conception et d'optimisation par exploration automatisée de l'espace de conception (DSE - Design Space Exploration)
- 3 Techniques d'optimisation énergétique pour technologie ASIC et FPGA
- 4 Technologies semiconducteurs 3D IC et opto-électronique
- 5 Synthèse NOC

## A2 Systèmes électroniques embarqués

### Déroulement et organisation pratique

Ce cours adresse les méthodologies de conception, optimisation, implémentation et validation de systèmes sur puce (SOC - System on Chip) pour des systèmes embarqués complexes. Le cours adresse en particulier les architectures multicoeur embarqués hétérogènes composée de réseaux sur puces (NOC -Network on Chip), de processeurs embarqués hétérogènes et d'accélérateurs matériels sous contrainte de performance, énergie et surface de circuit.

Un projet selon les années basée sur carte électronique zedboard par groupe de 4 à 5 étudiants pour la conception d'un multicoeur embarqué hétérogène (1 coeur dualcore ARM9 + 4 processeurs softcore embarqués + NOC + accélérateurs matériels) avec application IA/Vision/robotique est réalisé. D'autres projets conception ASIC 3D Multicore avec Mesh.

### Pré-requis

Bonnes connaissances en architecture

A0

# A3 Processeurs embarqués et architectures spécialisées

*Hervé Matthias (UPSay - resp. UE)*

Volume : 6h CM + 24h TP/projet

Lieu : Bât. 625

Evaluation : 20% Contrôle Continu (moyenne de 3 quiz faits en séance TP) + 60% travaux lors du projet + 20% rapport de projet

(Campus de Saclay)

Mutualisée avec le M2 CAT (E3A)

## Objectif d'apprentissage

Présentation des différentes architectures d'un processeur embarqué sur FPGA et des spécificités liées à leur exploitation : optimisation de l'architecture par rapport aux spécifications, personnalisation des jeux d'instructions à l'aide de circuits numériques spécifiques conçus en VHDL, IP et implémentation des périphériques embarqués associés.

## Cours

- Architecture et implémentation d'un processeur embarqué, à partir du processeur utilisé en TP : architecture du processeur, interface standard avec les périphériques embarqués, personnalisation du processeur (choix de l'architecture, jeu d'instructions, dimensionnement de la mémoire cache)
- Implémentation et programmation en C
- IPs et périphériques embarqués, basés sur ceux utilisés en TP : DMA, ports d'entrée/sortie, contrôleurs mémoire (SDRAM, Flash), Timer, implémentation en VHDL.

# A3 Processeurs embarqués et architectures spécialisées

## Projet

Les performances de différentes implémentations d'un système embarqué calculant un algorithme donné seront comparées :

- 1 calcul logiciel exclusif avec différentes architectures pour le processeur (avec ou sans pipeline, avec ou sans cache) et différentes mémoires associées (Onchip SRAM, SRAM externe ou SDRAM),
- 2 utilisation de coprocesseurs matériels associés conçus en VHDL.

## Pré-requis

- Bonnes connaissances en architecture
- VHDL

*A0**niveau de base + RaN VHDL*

# A4 Architecture et programmation parallèles

*Abdelhafid El Ouardi (UPSay - resp. UE), Joël Falcou (UPSay)*

Volume : 10.5h CM + 17.5h TP

Lieu : Bâtiment 625 (Campus de Saclay)

Evaluation : 70% EE + 30% CCTP

## Objectif d'apprentissage

Présentation en détails des architectures parallèles existantes constituant les systèmes généralistes, les super-calculateurs et les systèmes embarqués, ainsi que les langages permettant de les programmer efficacement en fonction de la nature des algorithmes à implanter.

## Contenu pédagogique

- 1 Architecture multicoeurs et programmation OpenMP
- 2 Outils de synthèse de haut niveau sur FPGA (OpenCL)
- 3 Instructions SIMD pour accélération des calculs

## Pré-requis

- Bonnes connaissances en architecture
- Programmation C/C++

*A0*

*niveau de base + RaN C++*

# A5 Calcul intensif sur GPU

*Nicolas Gac (UPSay - resp. UE), Mickaël Seznec (Nvidia)*

Volume : 10h CM + 18h TP

Lieu : Bâtiment 625 (Campus de Saclay)

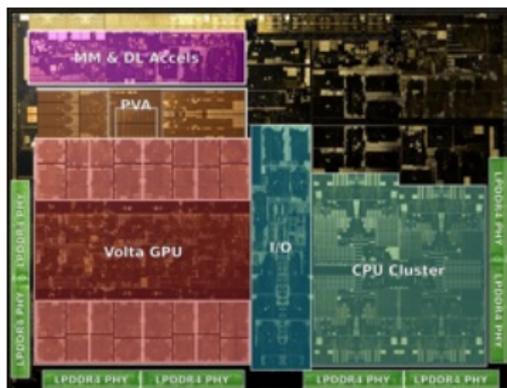
Evaluation : 70% EE + 30% CCTP

## Objectif d'apprentissage

Cette UE a pour but de présenter l'architecture des GPUs et son utilisation pour le calcul massivement parallèle (CUDA) et pour les Réseaux de Neurones Profonds (RNP).

## Pré-requis

- Bonnes connaissances en architecture *A0*
- Programmation C/C++ *niveau de base + RaN C++*



*Nvidia Xavier SoC  
[2020, 12nm]*

# A5 Calcul intensif sur GPU

*Nicolas Gac (UPSay - resp. UE), Mickaël Seznec (Nvidia)*

## Contenu pédagogique

### 1 Architecture et programmation des GPUs

*5h CM + 12.5h TP*

- Présentation des GPUs Nvidia et du langage CUDA avec une étude de cas en reconstruction tomographique.
- TPs sur GPU embarqué (carte Jetson nano) pour la parallélisation d'algorithmes de traitement d'image et de réduction sommation.
- Analyse des performances est réalisée avec les outils de profiling de Nvidia.

### 2 Compression de réseaux de neurones profonds pour un déploiement efficace sur GPU

*3h CM + 7.5h TP*

- Tour d'horizon des architectures de réseaux de neurones profonds (RNP) utilisés dans l'industrie.
- Techniques de compression de la taille des RNP afin de pouvoir les déployer efficacement sur des cibles aux ressources limitées (taille mémoire, bande passante, débit de calcul).
- TPs de prise en mains des réseaux convolutionnels pour la classification d'image ainsi que des modèles de langue pour la génération de texte.

## Tronc commun

### B0 Systèmes temps-réel et sûreté de fonctionnement

*V. David (CEA), S. Louise (CEA), F. Thomas (Thales)*

## Options

### B1 Ordonnancement et noyaux pour les syst. embarqués temps réel

*L. Pautet (Tél. Paris), F. Brandner (Tél. Paris)*

### B2 Instrumentation et interfaçage des systèmes embarqués

*A. El Ouardi (UPSay)*

### B3 Objets communicants

*I. Vin (UPSay)*

### B4 Embedded linux

*M. Mushtaq (Tél. Paris)*

### B5 Modélisation de systèmes et logiciels embarqués

*A. Radermacher (CEA), A. Smaoui (CEA)*

# B0 Systèmes Temps-Réel et Sûreté de Fonctionnement

*V. David (CEA - resp. UE), S. Louise (CEA), F. Thomas (Thales)*

Volume : 21h CM + 6h TP

Lieu : INSTN au CEA de Saclay

Evaluation : 67% EE + 33% CCTP

## Objectif d'apprentissage

Présentation des méthodes permettant aux étudiants d'aborder les problèmes de conception et de validation des systèmes temps-réel complexes et/ou critiques. Cette UE aborde à la fois les aspects asynchrones de la programmation multitâches (atomicité matérielle et logicielle, sémaphores, réseaux de Petri, etc.) et les aspects de la conception de systèmes temps-réel critiques cadencés par le temps. L'accent est mis sur les aspects systèmes et les problèmes de mise en oeuvre logicielle, en présentant différentes classes de problèmes et les solutions adaptées.

## Pré-requis

- Langage de programmation pour l'embarqué de type C
- Développement sur Linux ou Posix, ou équivalent
- Notion de base du fonctionnement des processeurs
- Notion de base de la programmation parallèle

*RaN C/C++*

*A0*

# B0 Systèmes Temps-Réel et Sûreté de Fonctionnement

## Contenu pédagogique

- Introduction et objectifs (problèmes clefs des systèmes temps-réel et de la sûreté de fonctionnement, problématique du logiciel, parallélisme, test et déterminisme, notion de génie logiciel)
- Synchronisation dans les systèmes asynchrones (cohérence de données, atomicité matérielle et logicielle, etc.)
- Verrous, problèmes liés aux architectures multicœurs, sémaphores (dead-lock, famine)
- Preuves de propriétés et analyses des systèmes parallèles à partir de la modélisation en réseaux de Petri (calcul des invariants, graphes de marquages, etc.)
- Sûreté de fonctionnement des systèmes critiques (exemple des architectures de contrôle-commande des centrales nucléaires)
- Conception des systèmes critiques cadencés par le temps, construction de systèmes parallèles déterministes
- Mise en oeuvre des systèmes critiques (partitionnement spatial et temporel, construction des séquences de frames répétitives).

# B1 Ordonnancement et noyaux pour les systèmes embarqués temps réel

L. Pautet (Tél. Paris - resp. UE), F. Brandner (Tél. Paris)

Volume : 20h CM + 4h TD + 6h TP    Lieu : Télécom Paris (Campus de Palaiseau)

Evaluation : 100% EE

*Mutualisée avec la filière SE de Télécom Paris*

## Contenu pédagogique Ordonnancement temps réel en mono-cœur et multi-cœurs

- Architectures de systèmes temps réel
- Noyaux pour systèmes embarqués temps réel
- Chaîne de production pour systèmes embarqués temps réel.
- Worst-Case Execution Time Analysis
  - Static Program Analysis (Abstract Interpretation/Data-Flow Analysis)
  - Loop Bounds and General Flow Facts
  - Architecture-Level Analysis (Pipeline)
  - Longest Path Search (Implicit Path Enumeration)
  - Hit/Miss Classification for Caches

## Pré-requis

Bonnes connaissances en architecture (pipelining, caches), en programmation en C et en POSIX.

# B2 Instrumentation et interfaçage des systèmes

*Abdelhafid Elouardi (UPSay - resp. UE)*

Volume : 14h CM + 12h TP

Lieu : Bâtiment 625 (Campus de Saclay)

Evaluation : 70% EE + 30% CCTP

## Objectif d'apprentissage

Présentation et mise en pratique des méthodes et outils d'interfaçage et de prototypage pour des applications embarquées

## Pré-requis

- C/C++ connaissances de base + *RaN C++*
- VHDL connaissances de base + *RaN VHDL*
- Architecture des processeurs *A0*
- Traitement de signal et de l'image connaissances de base + *RaN TS*

# B2 Instrumentation et interfaçage des systèmes

*Abdelhafid Elouardi (UPSay - resp. UE)*

## Contenu pédagogique

- Chaîne d'acquisition de données : du capteur au calculateur
- Interfaçage capteurs, actionneurs et calculateurs Interfaces de communication série/parallèle, inter/intra circuits
- Protocoles de communication synchrone/asynchrone Optimisation des échanges et des transmissions de données
- Multiplexage dans les systèmes embarqués multi-capteurs
- Bus multiplexés CAN, LIN, FLEXRAY : architecture, performances, commandes, protocoles

# B3 Objets communicants

Isabelle Vin (UPSay - resp. UE)

Volume : 17.5h CM + 7.5h TP

Lieu : Bât. 625 et Polytech (Campus de Saclay)

Evaluation : 55% EE + 45% CCTP

## Objectif d'apprentissage

- 1 Acquérir les connaissances fondamentales en radiofréquences, maîtriser chaque étape de la chaîne de transmission numérique sans fil, connaître les techniques de modulation/codage des standards sans fil récents (MIMO, OFDM, CDMA..)
- 2 Savoir analyser un problème et faire des choix techniques et technologiques pour mettre en oeuvre une application sans fil (IoT ou général), en prenant en compte le cahier des charges

## Pré-requis

- Bases en traitement du signal connaissances de base + *RaN TS*
- Réseaux
- Modulations numériques

## B3 Objets communicants

### Contenu pédagogique Télécommunications sans fil

- Etapes de la chaîne de transmission sans fil : codage binaire, codage source, chiffrement, codage canal (ECC), modulation, antennes usuelles dans les objets communicants.
- « canal de propagation » (phénomènes physiques, modélisation, caractéristiques du canal), couche PHY et les différents traitements et techniques usuelles : étalements de spectre, techniques de diversité OFDM, MIMO, techniques d'accès multiples classiques et plus évoluées.

### Contenu pédagogique Réseaux et technologies sans fil pour l'IoE

- réseaux et technologies courte portée (BLE, Zigbee, 6LowPAN, EnOcean, NFC, RFID...)
- réseaux mobiles de la 2G à la 5G
- LPWAN (LoRaWAN, Sigfox, etc).

# B4 Embedded linux

*Maria Mushtaq (Tél. Paris - resp. UE)*

Volume : 14h CM + 14h TP

Evaluation : 70% Exam + 15% Quiz + 15% Project  
(report+ TP exercices+ Code)

Lieu : Télécom Paris (Campus de Palaiseau)

Langue : anglais

## Objectif d'apprentissage

- 1 Connaître le fonctionnement d'un système d'exploitation de type Linux.
- 2 Savoir, dans le cadre d'applications embarquées, mettre en œuvre un tel système d'exploitation en sachant le configurer, le compiler, l'installer et développer des pilotes pour une cible particulière.
- 3 Savoir tirer profit des capacités, notamment au niveau réseau, de ce type de systèmes.

## Pré-requis

- Langages C/C++ connaissances de base + *RaN C++*
- Systèmes UNIX/Linux (commandes et programmation)

# B4 Linux embarqué

*Maria Mushtaq (Tél. Paris - resp. UE)*

## Cours

- 1 Introduction : Rappels sur les systèmes embarqués – Exemples de produits utilisant "Linux Embarqué"
- 2 Linux embarqué : Open Source – Dans quels cas Linux embarqué est-il adapté ? – Principales distributions
- 3 Choix de la cible : PC ou non ? – Avec ou sans MMU ? – Mémoire de masse – Bus d'extension et de communication
- 4 Le noyau Linux : Structure globale – Le système de fichiers /proc – Compilation du noyau – Configuration et démarrage
- 5 Mise au point d'un système : Méthodologie générale – Partition dédiée et répertoires – Création d'un noyau adapté – Optimisation et mise au point
- 6 Développement de pilotes : Mode caractère – Mode bloc – Débogage
- 7 Réseau : configuration des périphériques et routage

## TP

- 1 Compilation et Installation d'un noyau Linux embarqué
- 2 Configuration en routeur réseau
- 3 Développement d'un pilote.

# B5 Modélisation de systèmes et logiciels embarqués

*Ansgar Radermacher (CEA - resp. UE), Asma Smaoui (CEA)*

Volume : 9h CM + 6h TD + 12h TP

Lieu : INSTN au CEA de Saclay

Evaluation : 50% CCTP + 50% CC projet (soutenance)

## Objectif d'apprentissage

Présentation et mise en pratique des langages et outils MBSE (Model Based System Engineering) pour la conception et le développement des systèmes embarqués

## Pré-requis

- Concepts de base de génie logiciel (bases de la programmation, processus de développement...)
- Concepts généraux des systèmes temps réels (ordonnancement, synchronisation, multitâche...)

# B5 Modélisation de systèmes et logiciels embarqués

## Modélisation système (SysML)

- Analyse des besoins et spécification du système : ingénierie des besoins (Requirement Diagram), description des cas d'utilisation (Usecase Diagram) et des interactions système/environnement (Sequence Diagram).
- Modélisation de l'architecture du système : description de l'architecture générale (Block Definition Diagram) et description de l'architecture détaillée (Internal Block Definition).
- Modélisation du comportement : description des comportements basés sur des transitions d'états (Statemachine Diagram), description de comportements en termes de flux de données et de contrôles (Activity Diagram).
- Modélisation d'aspects transverses : spécification d'équations et contraintes (Parametric Diagram), allocation du comportement sur l'architecture et gérer la traçabilité des exigences.

## Utilisation des modèles

- Modélisation et analyse des propriétés temps-réel d'un système embarqué avec le profil normalisé MARTE (Modeling and Analysis of Real Time Embedded systems).
- Simulation des systèmes par exécution des modèles.

# B5 Modélisation de systèmes et logiciels embarqués

## Techniques avancées de l'IDM

Définition d'un langage de modélisation spécialisé (DSML) et définition d'un générateur de code.

## Mise en pratique

Les concepts et méthodes présentés dans ce cours sont mis en pratique sur un cas d'étude dans l'outil de modélisation open source Papyrus ( <http://www.eclipse.org/papyrus/> <http://www.eclipse.org/papyrus/> ).

## Tronc commun

C0 Apprentissage

*S. Gazut (CEA)*

## Options

C1 Vision robotique

*E. Aldea (UPSay), N. Lermé (UPSay)*

C2 IA embarquée de confiance

*F. Terrier (CEA), O. Bichler (CEA) et al*

C3 IA pour la robotique

*S. Rodriguez (CEA), B. Vincke (CEA)*

C4 Fusion de données multicapteurs et estimation des incertitudes

*S. Le Hégarat (UPSay), E. Aldea (UPSay)*

C5 Identification et commande des systèmes : conception d'algorithmes

*S. Tliba (UPSay)*

# C0 Apprentissage

*Stéphane Gazut (CEA - resp. UE)*

Volume : 18h CM + 9h TP

Lieu : INSTN au CEA de Saclay

Evaluation : 80% EE + 20% CCTP

## Objectif d'apprentissage

- Maîtriser les concepts généraux du Machine Learning en apprentissage non-supervisé et supervisé
- Maîtriser la construction de modèles au sens de l'identification, à partir des données, de la complexité optimale d'une famille de fonctions et l'évaluation des performances du modèle par des méthodes de ré-échantillonnage

## Pré-requis

- Niveau suffisant en mathématiques pour aborder les probabilités, les statistiques et les méthodes d'optimisation (gradients, contraintes)
- Programmation

# C0 Apprentissage

*Stéphane Gazut (CEA - resp. UE)*

## Cours

- Apprentissage supervisé (4 séances de cours) : neurone formel, perceptron, architectures multicouches, algorithme d'apprentissage, validation croisée, bootstrap, méthodes à noyaux, support vector machine (SVM).
- Apprentissage non supervisé (2 séances de cours) : Classification Ascendante Hiérarchique, Kmeans, modèles de mélanges, visualisation par projection.

## Trois TPs en Scilab et Python

- 1 Clustering par Kmeans et segmentation d'image
- 2 Régression par des modèles linéaires (polynômes) et non linéaires (réseaux de neurones)
- 3 Classification par SVM et reconnaissance de chiffres manuscrits.

# C1 Vision robotique

*Emanuel Aldea (UPSay - resp. UE), Nicolas Lermé (UPSay)*

Volume : 21h CM + 7h TP

Lieu : Bât. 625 (Campus de Saclay)

Evaluation : 75% présentation article + CCTP \* 25%

## Objectif d'apprentissage

Acquisition de connaissances solides sur les opérateurs et les mécanismes de vision artificielle utilisés en robotique intelligente.

## Cours

- méthodes de segmentation
- classification d'images
- détection de changement dans une scène
- bases de la géométrie projective
- estimation de mouvement (de la caméra, des objets mobiles dans la scène)
- approches éparses et points d'intérêt
- description d'objet en termes de texture et couleur.

## TP

Mise en œuvre de reconnaissance de forme et d'analyse de scène.

## Pré-requis

Bonne notions en algorithmie, probabilités, apprentissage (C0) et si possible connaissances en traitement des images de base.

## C2 Intelligence artificielle embarquée de confiance

*F. Terrier (CEA - resp. UE), O. Bichler (CEA) et al*

Volume : 18h CM + 9h TP

Lieu : INSTN au CEA de Saclay

Evaluation : 100% présentation article

### Objectif d'apprentissage

L'intelligence artificielle offre de nouvelles opportunités d'enrichissement fonctionnel des systèmes embarqués. Pour cela, il faut en maîtriser finement l'intégration dans les environnements embarqués ce qui nécessite une appropriation des compétences dans différents domaines. Cette acquisition de compétences sera réalisée à travers un ensemble de séminaires spécialisés et de cours sur des technologies manipulables dès maintenant.

### Pré-requis

- Programmation
- Statistiques et apprentissage automatique

C0

## C2 Intelligence artificielle embarquée de confiance

### Contenu pédagogique

- Enjeux de la confiance pour les IA embarquées. Panorama des questionnements et des acteurs.
- Configuration et optimisation du code et de l'implantation de réseaux de neurone pour des cibles embarquées, micro-contrôleurs et architectures dédiées
- Adaptation des processus d'analyse de risque et cadres de certification pour les applications critiques comme le véhicule autonome et le contrôle industriel
- Validation formelle du fonctionnement de réseaux de neurones
- Attaque et robustesse des réseaux de neurones
- Explicabilité des intelligences artificielles
- Apprentissage dynamique et fédératif
- Sécurité des réseaux de neurones et fuite de données
- Compréhension et modélisation du fonctionnement des réseaux de neurones.

# C3 IA pour la robotique

*Sergio Rodríguez (UPSay - resp. UE), Bastien Vincke (UPSay)*

Volume : 7h CM + 21h projet

Lieu : Bâtiment 625 (Campus de Saclay)

Evaluation : 50% CC + 50% CCTP

## Objectif d'apprentissage

- 1 Découverte des enjeux actuels de la robotique mobile : localisation, cartographie et planification, navigation en exploitant des méthodes classiques.
- 2 Compréhension des concepts fondamentaux de l'intelligence artificielle appliqués à la navigation robotique.

## Pré-requis

- Algorithmie et calcul matricielle
- Apprentissage

C0

## C3 IA pour la robotique

*Sergio Rodríguez (UPSay - resp. UE), Bastien Vincke (UPSay)*

### Contenu pédagogique

- Introduction robotique mobile
- Capteurs proprioceptifs
- Localisation par odométrie
- Capteurs extéroceptif laser
- Localisation par ICP
- Planification et suivi de trajectoire
- Modèle neuronal
- Topologies
- Méthodes d'apprentissage (Supervisé et par renforcement)

# C4 Fusion de données multicapteurs et raisonnement sous incertitudes

*Sylvie Le Hégarat (UPSay - resp. UE), Emanuel Aldea (UPSay)*

Volume : 14h CM + 14h TP

Lieu : Bât. 625 (Campus de Saclay)

Evaluation : 50% présentation article + 50% CCTP

## Objectif d'apprentissage

Acquisition de connaissances solides sur les mécanismes permettant de combiner toutes les données provenant des différents capteurs embarqués dans l'objectif d'une tâche prédéfinie (estimation de paramètres, reconnaissance d'objets d'intérêt, pistage, etc.).

## Cours

- Imprécision et incertitudes
- Sources d'information
- Modèles d'erreur
- Décision en théorie des probabilités
- Théorie des fonctions de croyances : représentation et combinaison des croyances, décision, études de cas.

## TP

Mise en œuvre de pistage, de reconnaissance d'objets et d'odométrie d'un véhicule instrumenté.

## Pré-requis

- Algorithmie
- Apprentissage

C0

# C5 Identification et commande des systèmes

*Sami Tliba (UPSay - resp. UE)*

Volume : 18h CM + 7h TP

Lieu : Bâtiment 625 (Campus de Saclay)

Evaluation : 67% EE + 33% CCTP

## Objectif d'apprentissage

Une ou deux lignes à ajouter

## Contenu pédagogique partie **Commande numérique**

- Rappels sur les systèmes échantillonnés (Convertisseurs Analog.-Num. et Num. Analog. et modélisation ; Transformée en  $z$  et propriétés ; Fonction de transfert en  $z$  de systèmes linéaires ; Réponses temporelle et fréquentielle ; Stabilité)
- Discrétisation de correcteurs analogiques et synthèse pseudo-continue de correcteurs numériques
- Structure de commande RST et calcul de correcteurs par placement de pôles
- Méthodes de commande basées sur l'optimisation de critères quadratiques

# C5 Identification et commande des systèmes

## Contenu pédagogique partie **Identification**

- Principe et contexte
- Structures de modèles à identifier : modèles linéaires et non-linéaires en les paramètres
- Quelques critères et algorithmes d'optimisation
- Illustration d'une problématique temps-réel typique : la commande adaptative
- Schéma de commande adaptative direct et indirect
- Auto-ajustement des régulateurs de type RST numérique

## Bureaux d'Etude

Utilisation du logiciel de calcul scientifique Matlab/Simulink/Stateflow avec application à la commande d'un servomécanisme ou d'un dispositif de régulation de température.

## Pré-requis

- Mathématiques (niveau L3) : algèbre linéaire matricielle probabilités, statistiques, fonction de plusieurs variables (calcul de gradient, hessien...), optimisation (méthode de Newton, Gradient...)
- Asservissement des systèmes linéaires analogiques et numériques (niveau M1).

# T1 Data Flow Deterministe pour les systèmes cyber-physiques (CPS)

*S. Louise (CEA - resp. UE), V. David (CEA)*

Volume : 18h CM + 9h TP

Lieu : INSTN au CEA de Saclay

Evaluation : 67% EE + 33% CCTP

## Objectif d'apprentissage

## Pré-requis

- .

# T1 Data flow déterministe pour les systèmes cyber-physiques (CPS)

## Contenu pédagogique

- .

# Initiation à la Recherche (IR)

*Nicolas Gac (UPSay - resp. UE), Emanuel Aldea (UPSay), Asma Smaoui (CEA)*

Volume : 30h

Lieu : Bât. 625

Evaluation : 75% EO [présentation article] + 25 %CC [participation en séances] (Campus de Saclay)

## Objectif pédagogique

Ce module a pour objectif d'initier les étudiants à la lecture et à la présentation d'articles de recherche sur des thématiques SETI ou connexes.

## Organisation pédagogique

Ce module est constitué d'un cycle de 8 **séminaires**. A chaque séance, un chercheur invité expose ses thématiques de recherche puis deux à trois étudiants présentent chacun **un article de recherche** parmi ceux présélectionnés par l'intervenant.

# Initiation à la Recherche (IR)

## Cycle de séminaires 2024-25

- 11/10 **Ethique de la recherche** *Emanuel Aldea (UPSay, SATIE)*
- 18/10 **Architectures de calcul pour le traitement du signal et de l'information en flux de données** *Mathieu Thevenin (CEA-IRAMIS, SPEC)*
- 25/10 **Instrumentation de systèmes à fortes contraintes : systèmes homme-machine** *Pauline Michel (Univ. Paris-Saclay, SATIE)*
- 11/12 **Criticité mixte pour les systèmes embarqués communicants - illustration à travers le projet FUI CEOS, "Drone autonome pour l'inspection d'ouvrages d'art"** *Thierry Grandpierre (ESIEE, LIGM)*
- 13/01 **Co-design HW/SW : outils de modélisation et de simulation pour l'exploration architecturale dans le domaine du HPC** *Lilia Zaourar, (CEA-List, LECA)*
- 20/01 **Contrôle probabiliste** *Liliana Cucu-GrosJean (INRIA)*
- 27/01 **Une brève histoire de l'IA et de l'apprentissage profond** *Marc Duranton (CEA-List)*
- 03/02 **New concepts in nanoelectronics relying on bio-inspiration** *Damien Querlioz (CNRS, C2N)*

# Insertion Professionnelle, Droit et Gestion de projets (IDG)

*Sophie Drozdowicz et autres intervenants pour UPSay*

Volume : 9h CM + 24h TP

Lieu : Bât. 625 (Campus de Saclay)

Evaluation : 100 %CC

## Communication et droit du travail

- Techniques d'écriture (écrire pour communiquer) et notes de synthèse
- L'entreprise, la place de l'ingénieur, Contrat de travail, les conventions dans les entreprises
- Rédaction de CV, Simulation d'entretien d'embauche et lettre de motivation
- Techniques d'exposé oral et conduite de réunion, Techniques d'entretiens et de négociation et Jeux de rôle

Recherche de stage : Les étudiants doivent fournir avant leur départ en stage un dossier résumant leurs démarches de recherche (annonces et CV/lettres de motivation correspondantes)

## Gestion de projets

- Initiation à la gestion de projets
- Etudes de cas

# Projet SETI

*Chercheurs UPSay, CEA et Télécoms Paris*

*resp. UE - N. Gac (UPSay)*

Evaluation : 70% Projet + 30% Poster

## Objectif pédagogique

Travail de nature plutôt technique et orienté recherche qui permet d'appliquer les enseignements du master. Les sujets sont proposés par les **laboratoires de recherche** partenaires du M2 SETI.

## Organisation pédagogique

Equipe : 2 à 5 étudiants selon la nature du projet (monôme possible)

Encadrement : un chercheur, un enseignant/chercheur permanent ou un doctorant assure le rôle de tuteur.

Temps projet : ~100h de travail personnel pour les étudiants en autonomie sur leur temps libre. Ils peuvent consacrer une demi-journée par semaine à partir de début novembre (en fonction de leur emploi du temps). A cela s'ajoute des journées entièrement libérées : 5 jours du lundi 20/01 au vendredi 24/01 + les 5 derniers jours du mercredi 12/03 au mardi 18/03.

## Planning 2024-25

- ① Présentation des projets en amphitheâtre *jeudi 10 octobre*
- ② Voeux formulés par les étudiants *vendredi 18 octobre*
- ③ Affectation des projets *semaine du 21 octobre*
- ④ Projet *Toussaint à mi-mars*
  - une séance libre par semaine
  - **Semaine 100% projet** du 20 au 24 janvier
  - **Semaine 100% projet** du 12 au 18 mars
  - **Revue des projets** : 16 décembre, 22 janvier et 12 mars
- ⑤ Rapport succinct (4 pages) *lundi 17 mars*
- ⑥ **Présentation des projets** : pitch + posters *mardi 18 mars*  
Hall du bat. 625

- 1 M2 SETI
- 2 Semestre 1 = 12 UEs
  - A - Architecture
  - B - Logiciels & Systèmes
  - C - Intelligence embarquée
  - Formation générale & Projet
- 3 Semestre 2 = stage
- 4 Candidature

## Stage de 4 à 6 mois

- Recherche et développement en **entreprise** ou en **laboratoire**
- Fin avant le 30 septembre

## Planning

- |  |                       |
|--|-----------------------|
| ● fin septembre à mi-décembre              | Recherche de stage    |
| <i>Forum entreprises</i>                   |                       |
| ● <i>mardi 15 oct. Forum Polytech</i>      |                       |
| ● <i>jeudi 17 oct. Forum INSTN</i>         |                       |
| ● <i>jeudi 24 oct. Forum Télécom Paris</i> |                       |
| ● ...                                      | Convention de stage   |
| ● A partir du 19 mars                      | Début du stage        |
| ● Mai                                      | Rapport intermédiaire |
| ● Septembre                                | Rapport + soutenance  |

## Sujets de stage

- **Recherche personnelle**, catalogue SETI...
- 2022-23 : entreprise (23) & recherche (9)

automobile (9), microélectronique (6), vision par ordinateur (3), militaire (2), aéronautique (2), HPC (2), instruments de recherche (2), imagerie médicale (1)...

## Entreprises

- **Grands groupes** : SAFRAN, EDF, Thales, Dassault, MBDA, Air liquide, Ericsson, Siemens, Segula, General Electric, Renault, Valeo, Stellantis, ARM, Qualcomm France ...
- **Startups**

## Laboratoires de recherche

- **UPSay** : [SATIE](#), [L2S](#), [LISN](#), [C2N](#)...
- **IPP** : Telecom Paris ([LTCl](#)), ENSTA ([u2is](#))
- [CEA-List](#), INRIA

# Après le stage

## Poursuite en thèse (*3ème cycle*)

- Concours ED STIC Paris-Saclay
- Projets nationaux (ANR) et européens
- CIFRE (entreprise + laboratoire)

...

## Intégration directe en entreprise

Pensez à nous informer de la suite !

- 1 M2 SETI
- 2 Semestre 1 = 12 UEs
  - A - Architecture
  - B - Logiciels & Systèmes
  - C - Intelligence embarquée
  - Formation générale & Projet
- 3 Semestre 2 = stage
- 4 Candidature

# Candidature UPSay

## Procédure pour candidature à l'université Paris-Saclay

- Ouvert à tous du **15/02/2025 au 13/07/2025** [date à confirmer]
- Toutes les informations et procédures nécessaires sont sur les sites web de l'université.
- Information :  
<https://www.universite-paris-saclay.fr/formation/master/electronique-energie-electrique-automatique/m2-systemes-embarques-et-traitement-de-linformation#modalites>
- Site de candidature : <https://www.universite-paris-saclay.fr/admission/etre-candidat-un-master-paris-saclay>

**Etant donné le nombre important de candidature (plus de 400), aucune pièce ou information envoyée par mail ne sera prise en compte. Seul le dossier déposé sur le site de candidature sera considéré. Il est inutile de solliciter un entretien.**

# Dossier de candidature

## Pièces justificatives **obligatoires**

- Curriculum Vitae
- Lettre de motivation en indiquant votre **préférence de spécialité** (A, B ou C)
- Classement l'année précédente avec taille de la promotion
- Tous les relevés de notes des années/semestres validés depuis le BAC à la date de la candidature.
- Descriptif détaillé et volume horaire des enseignements suivis depuis le début du cursus universitaire
- Attestation de français (obligatoire pour les non francophones  $\implies$  voir FAQ)

$\implies$  pour les candidats inscrits en M1 à l'université Paris-Saclay, joindre obligatoirement la **fiche de choix de M2** : <https://urlz.fr/i3Lo>.

# Dossier de candidature [cas particulier]

## Accès à la formation par Validation des acquis

Dossier VAPP obligatoire : <https://www.universite-paris-saclay.fr/formation/formation-continue/validation-des-acquis-de-lexperience>

## Candidats exilés

Document justificatif des candidats exilés ayant un statut de réfugié, protection subsidiaire ou protection temporaire en France ou à l'étranger (facultatif mais recommandé, un seul document à fournir) :

Carte de séjour mention réfugié du pays du premier asile

- ou récépissé mention réfugié du pays du premier asile
- ou document du Haut Commissariat des Nations unies pour les réfugiés reconnaissant le statut de réfugié
- ou récépissé mention réfugié délivré en France
- ou carte de séjour avec mention réfugié délivré en France
- ou document faisant état du statut de bénéficiaire de la protection subsidiaire en France ou à l'étranger.

La formation peut-elle se faire en apprentissage ?

Non

Les cours sont-ils en anglais ?

La formation est entièrement en français à l'exception de l'UE B4.

Quel est le prix de la formation à l'UPSay ?

<https://www.universite-paris-saclay.fr/admission/droits-dinscription>

Une attestation de français est-elle obligatoire pour les étudiants non francophones ?

Oui. A défaut de la présence d'une telle attestation dans le dossier de candidature, la diplomation à un M1 entièrement en français pourra être positivement considérée lors de l'étude de la candidature.

## Y a-t-il des entretiens de candidature ?

Etant donné le nombre important de candidatures, la sélection est réalisée par l'étude seule des dossiers **sans entretien**.

## Quand les résultats d'admission sont envoyés ?

Deux mois après le dépôt de votre dossier, la plateforme inception transmet les résultats.