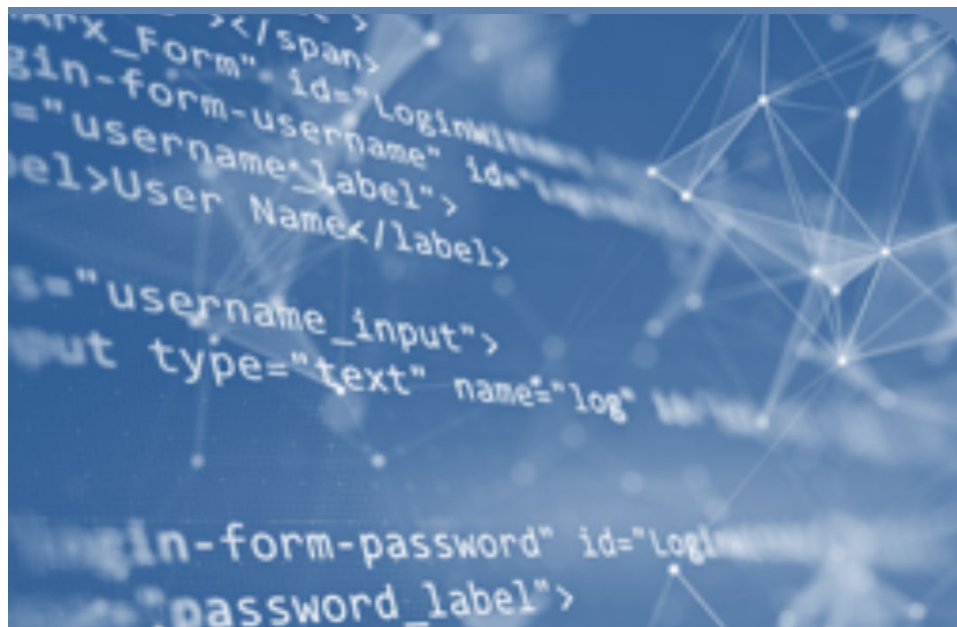


Implémentation VERILOG sur FPGA AMD Xilinx

université
PARIS-SACLAY

FACULTÉ
DES SCIENCES
D'ORSAY



OBJECTIFS

Connaitre l'intérêt et les performances des FPGAs AMD Xilinx (série7)
Maîtriser la syntaxe et la sémantique du VERILOG
Maîtriser la conception VERILOG avec le logiciel Vivado
Simuler une description avec Vivado Simulator

RESPONSABLE

Colin LOPEZ

Ingénieur de recherche électronicien
Université Paris-Saclay

colin.lopez@universite-paris-saclay.fr

PUBLIC

Chercheurs, ingénieurs ou assistant- ingénieur
en électronique numérique

PREREQUIS

Bonnes notions en informatique et électronique
numérique - Notions d'algèbre de Boole

CONTACT INSCRIPTION

Chantal ROULET

Gestionnaire administrative

stages-fc.sciences@universite-paris-saclay.fr

PROGRAMME

I. INTRODUCTION

Les éléments logiques standards et la configuration de FPGAs AMD (Xilinx série7) , la gestion des entrées-sorties avec le fichier de contrainte, le flot de conception Xilinx avec Vivado, la notion d'espace d'adressage et présentation du bus AXI4

II. LA SYNTAXE VERILOG

La structure d'une description VERILOG, les types, les fonctions et opérations de base

III. LA LOGIQUE SEQUENTIELLE ET COMBINATOIRE

Les descriptions combinatoire et comportementale, quelques exemples fondamentaux et pièges à éviter

IV. LE VERILOG LANGAGE MODULAIRE ET REUTILISABLE

Les composants, les sous-programmes, les packages

V. LA SIMULATION

Le concept d'un banc de test, les instructions dédiées à la simulation, le test d'un module

VI. LES MACHINES D'ETATS

La machine à états finis, la transcription VERILOG d'une machine d'état, les bonnes pratiques pour décrire un séquenceur

Travaux Pratique avec un FPGA ARTIX7 (non exhaustif)

- Création et synthèse d'un projets Vivado
- Implémentation d'un circuit combinatoire
- Implémentation d'un générateur d'horloge avec l'IP MMCM
- Simulation & implémentation d'un générateur de signaux (triangle & sinus)
- Création et implémentation d'une IP Xilinx AXI4
- Implémentation d'une machine d'états pour contrôler un circuit électronique externe

LIEU

Université Paris Saclay

ORGANISATION

6 à 12 stagiaires

METHODES PEDAGOGIQUES

Cours théoriques, travaux pratiques.

TARIF

1500€

DATE ET DUREE DU STAGE

11 au 13 mars 2025

3 jours – 21 heures

**Date butoir pour les inscriptions
au plus tard 15 jours avant le
démarrage de la session**